

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

REC'D 04 JAN 2005

PCT

31 MAR 2005



Aktenzeichen des Anmelders oder Anwalts In1256WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA/416)	
Internationales Aktenzeichen PCT/DE 03/03355	Internationales Anmeldedatum (Tag/Monat/Jahr) 10.10.2003	Prioritätsdatum (Tag/Monat/Jahr) 18.10.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L21/02		
Anmelder INFINEON TECHNOLOGIES AG et al.		

- Dieser Internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 5 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

 Diese Anlagen umfassen insgesamt 9 Blätter.

- Dieser Bericht enthält Angaben zu folgenden Punkten:
 - I ☒ Grundlage des Bescheids
 - II ☐ Priorität
 - III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
 - IV ☐ Mangelnde Einheitlichkeit der Erfindung
 - V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
 - VI ☐ Bestimmte angeführte Unterlagen
 - VII ☐ Bestimmte Mängel der internationalen Anmeldung
 - VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 22.04.2004	Datum der Fertigstellung dieses Berichts 29.12.2004
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Kusztejan, L Tel. +49 89 2399-2479 

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS


PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

REC'D 04 JAN 2005

PCT

Aktenzeichen des Anmelders oder Anwalts In1256WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEAA416)	
Internationales Aktenzeichen PCT/DE 03/03355	Internationales Anmeldedatum (Tag/Monat/Jahr) 10.10.2003	Prioritätsdatum (Tag/Monat/Jahr) 18.10.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L21/02		
Anmelder INFINEON TECHNOLOGIES AG et al.		
<p>1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.</p> <p>2. Dieser BERICHT umfaßt insgesamt 5 Blätter einschließlich dieses Deckblatts.</p> <p><input checked="" type="checkbox"/> Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).</p> <p>Diese Anlagen umfassen insgesamt 9 Blätter.</p>		
<p>3. Dieser Bericht enthält Angaben zu folgenden Punkten:</p> <p>I <input checked="" type="checkbox"/> Grundlage des Bescheids</p> <p>II <input type="checkbox"/> Priorität</p> <p>III <input type="checkbox"/> Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit</p> <p>IV <input type="checkbox"/> Mangelnde Einheitlichkeit der Erfindung</p> <p>V <input checked="" type="checkbox"/> Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung</p> <p>VI <input type="checkbox"/> Bestimmte angeführte Unterlagen</p> <p>VII <input type="checkbox"/> Bestimmte Mängel der internationalen Anmeldung</p> <p>VIII <input type="checkbox"/> Bestimmte Bemerkungen zur internationalen Anmeldung</p>		
Datum der Einreichung des Antrags 22.04.2004	Datum der Fertigstellung dieses Berichts 29.12.2004	
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Kusztelan, L Tel. +49 89 2399-2479	



INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE 03/03355

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-22 veröffentlichte Fassung

Ansprüche, Nr.

1-18 eingegangen am 15.12.2004 mit Schreiben vom 15.12.2004

Zeichnungen, Blätter

1/9-9/9 veröffentlichte Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

**INTERNATIONALER VORLÄUFIGER
PRÜFUNGSBERICHT**

Internationales Aktenzeichen PCT/DE 03/03355

5. ☒ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

siehe Beiblatt

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

- | | |
|--------------------------------|---------------------|
| 1. Feststellung | |
| Neuheit (N) | Ja: Ansprüche 1-18 |
| | Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche 1-18 |
| | Nein: Ansprüche |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-18 |
| | Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

Abschnitt V

1. Es wird auf die folgenden Dokumente verwiesen:

D1: US 2001/014047 A1 (HIDAKA HIDETO ET AL) 16. August 2001
D2: US 2002/125536 A1 (IWASA SHOICHI ET AL) 12. September 2002
D3: PAT.ABS.JAP.Bd. 015, Nr. 417 (E-1125), & JP 03 173175 A, 26. Juli 1991
D4: US-B-6 413 8021 (SUBRAMANIAN VIVEK ET AL) 2. Juli 2002 (2002-07-02)
D5: US-B-6 207 9851 (WALKER DARRYL) 27. März 2001 (2001-03-27)

2. D1, D2 und D5 offenbaren integrierte Schaltungsanordnungen, von der sich der Gegenstand des Anspruchs 1 dadurch unterscheidet, daß
- (1) der isolationsbereichsnahe Elektrodenbereich ein einkristalliner Bereich ist, der eine Vielzahl von Stegen enthält (erste Alternative).
 - (2) die Steuerelektroden des Feldeffekttransistors das gleiche Material wie der isolierbereichsferne Elektrodenbereich enthalten (zweite Alternative).

D3 und D4 offenbaren MOSFETs. Integrierte Kondensatoren sind nicht erwähnt.

Der Gegenstand des Anspruchs 1 ist somit neu (Artikel 33(2) PCT).

Die obengenannten Merkmale (1), (2) sind nicht im Stand der Technik erwähnt. Damit ist der Gegenstand der Patentansprüche erfinderisch. Die Ansprüche 2-18 sind vom Anspruch 1 abhängig und erfüllen damit ebenfalls die Erfordernisse des PCT in bezug auf Neuheit und erfinderische Tätigkeit.

3. Die verschiedenen Erfindungen/Gruppen von Erfindungen
- 3.1 der Ansprüche 1-18, erste Alternative, die sich auf ein aktives Bauelement und integrierten einkristallinen Kondensator mit mehreren Stegen beziehen
 - 3.2 der Ansprüche 1-18, zweite Alternative, die sich auf einen Feldeffekttransistor mit einer Steuerelektrode und einen integrierten Kondensator mit einer isolierbereichsferne Elektrodenbereich beziehen, in der die Steuerelektrode und den Elektrodenbereich das gleiche Material enthalten

hängen aus den folgenden Gründen nicht so zusammen, daß sie eine einzige

**INTERNATIONALER VORLÄUFIGER
PRÜFUNGSBERICHT - BEIBLATT**

Internationales Aktenzeichen PCT/DE 03/03355

allgemeine erfinderische Idee verwirklichen, Regel 13.1 PCT. Die verbindende erfinderische Idee bezieht sich allgemein auf ein Bauelement mit einem integrierten Kondensator wie aus D1, D2 und D5 bekannt ist. Eine spezielle Vorrichtung mit weiteren einschließenden Schichten haben keine weiteren verbindenden Gemeinsamkeiten.

4. Der Anmelder wird darauf hingewiesen, daß seinem Antrag auf eine zweiten telefonischen Rücksprache bezüglich des Einwands unter Regel 13.1 PCT nicht stattgegeben werden kann, siehe Amtsblatt 11/2001, Seite 539, Abschnitt 13.

Patentansprüche

1. Integrierte Schaltungsanordnung (120),
mit einem elektrisch isolierenden Isolierbereich,
5 und mit mindestens einem Kondensator (124) bildenden
Bereichsfolge, die in der angegebenen Reihenfolge enthält:
einen isolierbereichsnahen Elektrodenbereich (34),
einen dielektrischen Bereich (46), und
einen isolierbereichsfernen Elektrodenbereich (56),
10 wobei der Isolierbereich Bestandteil einer in einer Ebene an-
geordneten Isolierschicht (14) ist,
wobei der Kondensator (124) und mindestens ein aktives Bau-
element (122) der integrierten Schaltungsanordnung (120) auf
der gleichen Seite der Isolierschicht (14) angeordnet sind,
15 und wobei der isolierbereichsnahe Elektrodenbereich (34) und
der aktive Bereich (82) des Bauelementes (122) in einer Ebene
angeordnet sind, die parallel zu der Ebene liegt, in der die
Isolierschicht (14) angeordnet ist,
wobei entweder der isolierbereichsnahe Elektrodenbereich (34)
20 ein einkristalliner Bereich ist, der eine Vielzahl von Stegen
enthält,
oder wobei alternativ mindestens ein Feldeffekttransistor
(122) vorhanden ist, dessen Kanalbereich der aktive Bereich
ist, wobei der Feldeffekttransistor (122) mindestens einen
25 Steg enthält, wobei mehrere Steuerelektroden (54) an einander
gegenüberliegenden Seiten des Steges (30a) angeordnet sind,
wobei ein Verbindungsbereich die Steuerelektroden (54) elekt-
risch verbindet, und wobei der Verbindungsbereich vom Kanal-
bereich durch einen dicken Isolierbereich (18, 20) getrennt
30 ist, der eine Isolierstärke hat, die größer als die Dicke von
Steuerelektrodenisolationsbereichen (42, 44) ist,
und wobei die Steuerelektroden (54) das gleiche Material wie
der isolierbereichsferne Elektrodenbereich (56) enthalten.

2. Schaltungsanordnung (120) nach Anspruch 1, d a d u r c h
g e k e n n z e i c h n e t, dass der isolierbereichsnahe Elekt-
rodenbereich (34) ein einkristalliner Bereich ist, vorzugs-
5 weise ein dotierter Halbleiterbereich,
und/oder dass der isolierbereichsnahe Elektrodenbereich (34)
und/oder der aktive Bereich (82) eine Dicke kleiner als ein-
hundert Nanometer oder kleiner als fünfzig Nanometer hat,
und/oder dass der aktive Bereich (82) ein einkristalliner Be-
10 reich ist, vorzugsweise ein Halbleiterbereich der dotiert o-
der undotiert ist,
und/oder dass die Isolierschicht (14) an einer Seite an ein
Trägersubstrat (12) angrenzt, vorzugsweise an ein Trägersub-
strat, das ein Halbleitermaterial enthält oder aus einem
15 Halbleitermaterial besteht, insbesondere aus Silizium oder
aus einkristallinem Silizium,
und/oder dass die Isolierschicht (14) an der anderen Seite an
den isolierbereichsnahen Elektrodenbereich (34) angrenzt,
und/oder dass die Grenzflächen vorzugsweise vollständig in
20 zwei zueinander parallelen Ebenen liegen,
und/oder dass die Isolierschicht (14) ein elektrisch isolie-
rendes Material enthält oder aus einem elektrisch isolieren-
den Material besteht, vorzugsweise ein Oxid, insbesondere Si-
liziumdioxid,
25 und/oder dass das aktive Bauelement (122) ein Transistor ist,
vorzugsweise ein Feldeffekttransistor, insbesondere ein Fin-
FET.

3. Schaltungsanordnung (120) nach Anspruch 1 oder 2, d a -
30 d u r c h g e k e n n z e i c h n e t, dass der dielektrische
Bereich (46) Siliziumdioxid enthält oder aus Siliziumdioxid
besteht,

- und/oder dass der dielektrische Bereich (46) aus einem Material mit einer Dielektrizitätskonstante größer als vier oder größer als zehn oder größer als fünfzig besteht,
und/oder dass der isolierbereichsferne Elektrodenbereich (56)
5 Silizium enthält, vorzugsweise polykristallines Silizium oder aus Silizium besteht, vorzugsweise aus polykristallinem Silizium,
und/oder dass der isolierbereichsferne Elektrodenbereich (56) ein Metall enthält oder aus einem Metall besteht,
10 und/oder dass der isolierbereichsferne Elektrodenbereich (56) ein niederohmiges Material enthält, vorzugsweise Titannitrid, Tantalnitrid oder Rubidium oder hochdotiertes Siliziumgermanium,
und/oder dass der isolierbereichsferne Elektrodenbereich (56)
15 an einen Metallhalbleiterverbindungen enthaltenden Bereich angrenzt, insbesondere an einen Silizidbereich (96).

4. Schaltungsanordnung (120) nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n z e i c h n e t , dass der
20 dielektrische Bereich (46) und der isolierbereichsferne Elektrodenbereich (56) an zwei, an drei, an vier oder an fünf Seitenflächen oder an mehr als fünf Seitenflächen des isolierbereichsnahen Elektrodenbereiches (34) angeordnet sind,
und/oder dass der isolierbereichsnahe Elektrodenbereich (34)
25 eine Vielzahl von Stegen enthält, deren Steghöhe größer als die Stegbreite ist, vorzugsweise mindestens doppelt so groß.

5. Schaltungsanordnung (120) nach einem der vorhergehenden Ansprüche, g e k e n n z e i c h n e t d u r c h mindestens einen
30 Feldeffekttransistor (122), dessen Kanalbereich (82) der aktive Bereich ist, wobei der Kanalbereich (82) vorzugsweise undotiert ist,

und/oder dessen Steuerelektrode (54) Material der gleichen Dotierstoffkonzentration wie der isolierbereichsferne Elektrodenbereich (56) enthält,

und/oder dessen Steuerelektrodenisolationsbereich (42, 44)

- 5 das gleiche Material und/oder ein Material mit der gleichen Dicke wie die der dielektrische Bereich (46) enthält,
und/oder dessen Steuerelektrodenisolationsbereich (42, 44)
ein anderes Material und/oder ein Material mit einer anderen Dicke als der dielektrische Bereich (46) enthält.

10

6. Schaltungsanordnung (120) nach Anspruch 5, d a d u r c h
g e k e n n z e i c h n e t , dass mehrere Steuerelektroden (54)
an einander gegenüberliegenden Seiten des Steges (30a) ange-
ordnet sind, vorzugsweise zwei oder drei Steuerelektroden,
15 und/oder dass mindestens eine Steuerelektrode (54) an einen
Metallhalbleiterverbindungen enthaltenden Bereich angrenzt,
insbesondere an einen Silizidbereich (92),
und/oder wobei der Verbindungsbereich aus dem gleichen Mate-
rial besteht und/oder die gleiche Dotierstärke wie der iso-
20 lierbereichsferne Elektrodenbereich (56) hat.

7. Schaltungsanordnung (120) nach Anspruch 5 oder 6, d a -
d u r c h g e k e n n z e i c h n e t , dass ein Anschlussbereich
oder beide Anschlussbereiche (70, 72) des Feldeffekttransis-
25 tors (122) an die Isolierschicht (14) grenzen,
und/oder dass mindestens ein Anschlussbereich (70, 72) an ei-
nen eine Metallhalbleiterverbindung enthaltenden Bereich an-
grenzt, vorzugsweise an einen Silizidbereich (90, 94),
und/oder dass die Anschlussbereiche (70, 72) eine größere Di-
30 cke haben als der aktive Bereich (82).

8. Schaltungsanordnung (120) nach einem der Ansprüche 5 bis
7, d a d u r c h g e k e n n z e i c h n e t , dass beidseitig

der Steuerelektroden (54) Abstandshalter (60b, 60c) angeordnet sind, die vorzugsweise ein anderes Material enthalten als die Elektrodenschicht, vorzugsweise Siliziumnitrid, oder die aus einem anderen Material bestehen als die Elektroden-

5 schicht, vorzugsweise aus Siliziumnitrid,
und/oder dass an mindestens einer Seite des isolierbereichs-
fernen Elektrodenbereiches (56) ein Abstandshalter (60d) angeordnet ist, der ein anderes Material enthält, vorzugsweise Siliziumnitrid, oder aus einem anderen Material besteht als

10 die Elektrodenschicht (50), vorzugsweise aus Siliziumnitrid,
und/oder dass sich ein an einer Steuerelektrode (54) des Feldeffekttransistors (122) angeordneter Abstandshalter (60c) und ein an dem isolierbereichsfernen Elektrodenbereich (56) angeordneter Abstandshalter (60d) berühren.

15

9. Schaltungsanordnung (120) nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, dass ein Anschlussbereich (72) des Feldeffekttransistors (122) und der isolierbereichsnahe Elektrodenbereich (34) des Kondensators

20 (124) aneinander grenzen und eine elektrisch leitfähige Verbindung an der Grenze haben,
und/oder dass der an den Elektrodenbereich (34) angrenzende Anschlussbereich (72) nicht an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt,

25 und/oder dass der andere Anschlussbereich (70) an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt.

10. Schaltungsanordnung (120) nach Anspruch 9, dadurch gekennzeichnet, dass die an den Anschlussbereich

30 (72) angrenzende Seite des isolierbereichsnahen Elektrodenbereiches (34) länger ist als eine quer zu dieser Seite liegende Seite des isolierbereichsnahen Elektrodenbereiches (34),

vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang,
wobei der Transistor (122) vorzugsweise eine Transistorweite hat, die ein mehrfaches der minimalen Strukturbreite (F) beträgt, vorzugsweise mehr als das Dreifache oder mehr als das Fünffache,
oder dass eine quer zu der an den Anschlussbereich (72) angrenzende Seite des isolierbereichsnahen Elektrodenbereiches (34) liegende Seite des isolierbereichsnahen Elektrodenbereiches (34) länger als die an den Anschlussbereich (72) angrenzende Seite ist, vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang,
wobei der Transistor (122) vorzugsweise eine Transistorweite hat, die kleiner als das Dreifache der minimalen Strukturbreite (F) ist, vorzugsweise kleiner als das Doppelte der minimalen Strukturbreite (F).

11. Schaltungsanordnung (120) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Schaltungsanordnung mindestens einen Prozessor enthält, vorzugsweise einen Mikroprozessor, und/oder dass der Kondensator (124) und das aktive Bauelement (122) eine Speicherzelle (120) bilden, insbesondere in einer dynamischen RAM-Speichereinheit,
und/oder dass eine Speicherzelle entweder einen Kondensator (122) und nur einen Transistor (122) oder einen Kondensator (Cs) und mehr als einen Transistor (M1 bis M3) enthält, vorzugsweise drei Transistoren (M1 bis M3).

12. Verfahren zum Herstellen einer integrierten Schaltungsanordnung (120) mit Kondensator (124), insbesondere einer Schaltungsanordnung (120) nach einem der vorhergehenden Ansprüche,

- bei dem ohne Beschränkung durch die angegebene Reihenfolge die folgenden Verfahrensschritte ausgeführt werden:
Bereitstellen eines Substrats (10), das eine Isolierschicht (14) aus elektrisch isolierendem Material und eine Halbleiterschicht (16) enthält,
5 Strukturieren der Halbleiterschicht (16) zur Ausbildung mindestens eines Elektrodenbereiches (34) für einen Kondensator und zur Ausbildung mindestens eines aktiven Bereiches (82) für einen Transistor (122),
10 nach dem Strukturieren der Halbleiterschicht (16) Erzeugen mindestens einer dielektrischen Schicht (42, 44, 46),
nach dem Erzeugen der dielektrischen Schicht (42, 44, 46) Erzeugen einer Elektrodenschicht (50),
Ausbilden einer isolierbereichsfernen Elektrode (56) des Kondensators (124) in der Elektrodenschicht (50),
15 wobei ein Ausbilden einer Steuerelektrode (54) des Transistors (122) gleichzeitig mit dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (56),
wobei entweder der isolierbereichsnahe Elektrodenbereich (34)
20 eine Vielzahl von Stegen enthält,
oder wobei alternativ die folgenden Merkmale ausgebildet werden:
der Transistor ist ein Feldeffekttransistor (122), dessen Kanalbereich der aktive Bereich ist,
25 der Feldeffekttransistor (122) enthält mindestens einen Steg, mehrere Steuerelektroden (54) sind an einander gegenüberliegenden Seiten des Steges (30a) angeordnet,
ein Verbindungsbereich verbindet die Steuerelektroden (54) elektrisch,
30 der Verbindungsbereich ist vom Kanalbereich durch einen dicken Isolierbereich (18, 20) getrennt, der eine Isolierstärke hat, die größer als die Dicke von Steuerelektrodenisolationsbereichen (42, 44) ist.

13. Verfahren nach Anspruch 12, gekennzeichnet durch die Schritte:

Aufbringen mindestens einer Isolierschicht (18, 20) auf die Halbleiterschicht (16) vor dem Strukturieren, vorzugsweise einer Siliziumnitridschicht (18) und/oder einer Oxidschicht (20) mit einer ersten Dicke, und/oder Dotieren der isolierbereichsnahen Elektrode (34), vorzugsweise vor dem Erzeugen der dielektrischen Schicht (42, 44, 46), und/oder Erzeugen der dielektrischen Schicht (42, 44, 46) gleichzeitig mit einer dielektrischen Schicht am aktiven Bereich (82) des Transistors (122).

14. Verfahren nach Anspruch 12 oder 13, gekennzeichnet durch die Schritte:

Erzeugen einer Hilfsschicht (52) nach dem Erzeugen der Elektroden-schicht (50), vorzugsweise einer Hilfsschicht mit einer größeren Dicke als die Oxidschicht (18, 20), und/oder Strukturieren des isolierbereichsfernen Elektrodenbereiches (56) und/oder einer Steuerelektrode (54) des Transistors unter Verwendung der Hilfsschicht (52) als Hartmaske.

15. Verfahren nach einem der Ansprüche 12 bis 14, gekennzeichnet durch die Schritte:

Aufbringen einer weiteren Hilfsschicht (60) nach dem Strukturieren einer Steuerelektrode (54) des Transistors (142), vorzugsweise einer Siliziumnitridschicht, und/oder anisotropes Ätzen der weiteren Hilfsschicht (60).

16. Verfahren nach einem der Ansprüche 12 bis 15, gekennzeichnet durch die Schritte:

nochmaliges Strukturieren der Isolierschicht (18, 20), wobei vorzugsweise die Dicke der Hilfsschicht (52) verringert wird und/oder die Hilfsschicht (52) aber nicht vollständig entfernt wird,

- 5 und/oder anisotropes Ätzen der weiteren Hilfsschicht (60) nach dem Strukturieren der Isolierschicht (20).

17. Verfahren nach einem der Ansprüche 12 bis 16, gekennzeichnet durch die Schritte:

- 10 Durchführen einer selektiven Epitaxie auf freiliegenden Bereichen aus Halbleitermaterial (16) nach dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (56) und/oder nach dem Strukturieren einer Steuerelektrode (54) des Transistors (122),

- 15 und/oder Dotieren von Anschlussbereichen (70, 72) des Transistors (122) nach dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (56) und/oder nach dem Strukturieren der Steuerelektrode (54) und vorzugsweise nach der Epitaxie.

- 20 18. Verfahren nach einem der Ansprüche 12 bis 17, gekennzeichnet durch die Schritte:

Entfernen der Hilfsschicht (52), vorzugsweise nach dem Strukturieren der Isolierschicht (18, 20) und/oder nach dem Durchführen der selektiven Epitaxie,

- 25 und/oder selektive Bildung einer Metallhalbleiterverbindung, insbesondere selektive Silizidbildung, auf der Elektroden-schicht (54) und/oder auf freiliegenden Halbleiterbereichen (16).